

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0038723  
Application Number

출원년월일 : 2002년 07월 04일  
Date of Application JUL 04, 2002

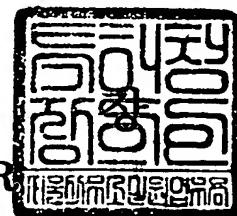
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0014		
【제출일자】	2002.07.04		
【발명의 명칭】	반도체 소자의 소자 분리막 형성 방법		
【발명의 영문명칭】	Method of forming a isolation layer in a semiconductor device		
【출원인】			
【명칭】	( 주 )하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	동차덕		
【성명의 영문표기】	DONG, Cha Deok		
【주민등록번호】	720328-1168041		
【우편번호】	467-040		
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	7	항	333,000 원
【합계】	364,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 소자 분리 영역에 V형 트렌치를 형성하고 V형 트렌치의 중앙 부분에 산화 작용을 촉진시킬 수 있는 이온을 주입한 후, 산화 공정을 실시하여 소자 분리 영역에 산화막으로 이루어진 절연막을 형성한 다음 절연 물질로 트렌치를 완전히 매립하여, LOCOS 방식으로 소자 분리막을 형성하는 방법과 트렌치형 소자 분리막을 형성하는 방법을 접목시킨 방법으로 소자 분리막을 형성함으로써, 트렌치의 상부 모서리를 경사지게 형성하여 전계가 집중되지 않도록 함과 동시에 모우트가 형성되는 것을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법이 개시된다.

**【대표도】**

도 11

**【색인어】**

소자 분리막, 모우트, V형 트렌치, 산화 촉진 이온 주입, LOCOS, STI

## 【명세서】

## 【발명의 명칭】

반도체 소자의 소자 분리막 형성 방법{Method of forming a isolation layer in a semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 11은 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도들이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

101 : 반도체 기판 102 : 패드 산화막

103 : 패드 질화막 104a : 개구부

104 : V형 트랜치 105a : 절연 물질층

105 : 절연막 스페이서 106 : 이온 주입층

107 : 제1 절연막 108 : 제2 절연막

109 : 소자 분리막 110 : 스크린 산화막

111 : 터널 산화막 112 : 제1 폴리실리콘층

113 : 유전체막 114 : 제2 폴리실리콘층

115 : 실리사이드층 116 : 콘트롤 게이트

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히 트렌치의 상부 모서리를 전계가 집중되는 것과 함께 모우트가 형성되는 것을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

<13> 모든 반도체 소자의 제조 공정에서는 반도체 기판에 형성된 각각의 소자를 전기적으로 분리시키기 위하여 소자 분리 영역에 소자 분리막을 형성한다. 종래에는 LOCOS(Local oxidation) 공정으로 소자 분리막을 형성하였으나, 소자의 집적도가 높아짐에 따라, 최근에는 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한 후 트렌치에 절연 물질을 매립하는 공정으로 소자 분리막을 형성한다. 이러한 소자 분리막을 트렌치 형 소자 분리막이라 한다.

<14> 트렌치형 소자 분리막은 일반적으로 반도체 기판 상에 소자 분리 영역을 노출시키는 패드 산화막 및 패드 질화막을 형성한 후 소자 분리 영역의 반도체 기판을 식각한 후 절연 물질층을 매립하여 형성하기 때문에, 패드 질화막 및 패드 산화막을 제거하여도 패드 질화막 및 패드 산화막 사이에 매립된 절연 물질층은 그대로 잔류된다. 이로 인하여, 절연 물질층으로 이루어진 소자 분리막은 트렌치에 매립된 형태로 형성되면서, 동시에 소자 분리 영역의 폭보다 좁고 상부가 반도체 기판의 표면보다 높게 둘출된 형태로 형성된다.

<15> 플래시 메모리 셀을 제조하는 공정에서도 소자 분리막을 상기의 트렌치형 소자 분리막으로 형성한다. 이때, 플로팅 게이트용 폴리실리콘층을 트렌치형 소자 분리막의 돌출부로 격리시키는 SAFG(Self Aligned Floating Gate) 공정으로 형성한다. 플로팅 게이트용 폴리실리콘층을 소자 분리막의 돌출부로 격리시키면 플로팅 게이트간의 간격을 보다 더 좁힐 수 있기 때문에 플로팅 게이트가 형성될 영역을 최대한 확보할 수 있어 플로팅 게이트의 커플링 비를 증가시킬 수 있다.

<16> 여기에서, 가장 중요한 것 중 하나가 트렌치의 상부 모서리 경사(Trench top corner slope)를 이용하여 전계가 집중되지 않도록 함과 동시에 모우트(Moat)가 형성되는 것을 방지하면서 터널 산화막이나 게이트 산화막이 얇게 형성되는 것을 방하는 것인데, 소자 분리막을 형성하기 위한 각각 공정의 공정 조건 변화에 따라 웨이퍼 내에서 국부적으로 트렌치의 상부 모서리에 경사가 형성되지 않는 문제가 발생된다.

### 【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 소자 분리 영역에 V형 트렌치를 형성하고 V형 트렌치의 중앙 부분에 산화 작용을 촉진시킬 수 있는 이온을 주입한 후, 산화 공정을 실시하여 소자 분리 영역에 산화막으로 이루어진 절연막을 형성한 다음 절연 물질로 트렌치를 완전히 매립하여, LOCOS 방식으로 소자 분리막을 형성하는 방법과 트렌치형 소자 분리막을 형성하는 방법을 접목시킨 방법으로 소자 분리막을 형성함으로써, 트렌치의 상부 모서리를 경사지게 형성하여 전계가 집중되지 않도록 함과 동시에 모

우트가 형성되는 것을 방지할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는 데 그 목적이 있다.

### 【발명의 구성 및 작용】

<18> 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상에 터널 산화막 및 패드 질화막을 순차적으로 형성한 후 반도체 기판의 소자 분리 영역을 노출시키는 개구부를 형성하는 단계와, 소자 분리 영역에 V형 트렌치를 형성하는 단계와, 개구부의 패드 질화막 측벽에 절연막 스페이서를 형성하는 단계와, 개구부를 통해 노출되는 V형 트렌치의 저면에 산화 촉진을 위한 이온 주입층을 형성하는 단계와, 산화 공정으로 V형 트렌치에 제1 절연막을 형성하는 단계와, 제1 절연막 상부의 개구부를 제2 절연막으로 매립하는 단계와, 패드 질화막 및 패드 산화막을 제거하는 단계를 포함하는 것을 특징으로 한다.

<19> 상기에서, V형 트렌치의 경사각은 25 내지 45도인 것을 특징으로 한다.

<20> 이온 주입층은 비소를 주입하여 형성하는 것을 특징으로 한다. 이때, 비소는 15 내지 50keV의 에너지로 주입되는 것을 특징으로 하며, 비소의 주입량은 1E14 내지 1E16cm<sup>-2</sup>인 것을 특징으로 한다.

<21> 산화 공정은 산화 목표 두께를 300 내지 1000Å으로 설정하여 800 내지 950°C의 온도에서 진행하며, 산화를 촉진시키기 위한 이온 주입층에 의해 제1 절연막은 1500 내지 4000Å의 두께로 형성되는 것을 특징으로 한다.

<22> 제2 절연막은 HDP 산화막으로 이루어지며, 2000 내지 5000Å의 두께로 형성되는 것을 특징으로 한다.

<23> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<24> 도 1a 내지 도 11은 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.

<25> 도 1a를 참조하면, 반도체 기판(101)의 전체 상부에 결정결함이 발생되는 것을 억제하고 표면 처리를 실시하기 위하여 패드 산화막(102) 및 패드 질화막(103)을 순차적으로 형성한다.

<26> 패드 산화막(102)은 50 내지 70Å의 두께로 형성하며, 750 내지 900°C의 온도 범위에서 건식 산화 방법이나 습식 산화 방법으로 형성한다. 패드 질화막(103)은 700 내지 2000Å의 두께로 형성하며, LP-CVD법을 이용하여 형성할 수 있다. 이때, 패드 질화막(103)의 두께는 상기의 조건으로 한정되지 않고, 후속 공정에서 화학적 기계적 연마 공정을 마지막으로 실시하여 소자 분리막을 형성한 후 패드 질화막을 제거하였을 때 소자 분리막의 상부가 반도체 기판(101)의 표면보다 최대한 높게 둘출되도록 공정 조건에 따라 패드 질화막(103)의 두께를 결정할 수 있다.

<27> 한편, 패드 산화막(102)을 형성하기 전에 세정 공정을 실시할 수도 있다. 이때, 세정 공정은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 실시하거나,  $NH_4F:HF$ 가 4:1 내지 7:1로 혼합된 혼합 용액을 1:100 내지 1:300의 비율로  $H_2O$ 에 희석시킨 BOE(Buffered Oxide Etchant)와 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 실시한다.

<28> 도 1b를 참조하면, 소자 분리 마스크를 이용한 식각 공정으로 패드 질화막(103) 및 패드 산화막(102)을 순차적으로 식각하여 반도체 기판(101)의 소자 분리 영역을 노출시키는 개구부(104a)를 형성한다. 이로써, 반도체 기판(101)의 소자 분리 영역을 노출시키는 패드 산화막(102) 및 패드 질화막(103)이 적층 구조로 형성된다.

<29> 이후, 개구부(104a)를 통해 노출되는 소자 분리 영역의 반도체 기판(101)을 식각하여 V형 트렌치(104)를 형성한다. 이때, 패드 질화막(103)은 식각 면이 수직이 되도록 하며, V형 트렌치(104)는 측벽이 25 내지 45도의 경사각을 갖도록 형성한다.

<30> 도 1c를 참조하면, 패드 질화막(103)의 개구부(104a) 측면에 절연막 스페이서를 형성하기 위하여, 먼저 전체 상부에 절연 물질층(105a)을 형성한다. 이때, 절연 물질층(105a)은 패드 질화막(103)의 측벽에 형성될 절연막 스페이서의 두께를 고려하여 적당한 두께로 형성되며, 바람직하게는 300 내지 1000Å의 두께로 형성된다. 한편, 절연 물질층(105a)은 패드 질화막(103)과 동일하게 질화물로 형성할 수 있다.

<31> 도 1d를 참조하면, 전면 식각(Blanket etch) 공정으로 절연 물질층(도 1c의 105a)을 패드 질화막(103)의 개구부(104a) 측벽에만 잔류시켜 패드 질화막(103)의 측벽에 절

연막 스페이서(105)를 형성한다. 이로써, 절연막 스페이서(105)에 의해 개구부(104a)의 폭이 좁아지면서 V형 트렌치(104) 중앙의 깊은 부분만이 노출된다.

<32>      도 1e를 참조하면, 후속 산화 공정에서 산화를 촉진시키기 위하여 개구부(104a)를 통해 노출되는 V형 트렌치(104) 중앙의 깊은 부분에 산화 촉진을 위한 이온을 주입한다. 이로써, V형 트렌치(104) 중앙의 깊은 부분에 이온 주입층(106)이 형성된다.

<33>      상기에서, V형 트렌치(104) 중앙의 깊은 부분에 주입되는 이온으로 비소(Arsenic; As)를 사용하는 것이 가능하며, 주입량은  $1E14$  내지  $1E16\text{cm}^{-2}$ 으로 설정한다. 한편, 이온 주입 공정으로 이온을 주입할 경우 15 내지 50keV의 에너지로 이온을 주입한다.

<34>      도 1f를 참조하면, V형 트렌치(104)의 표면에 형성된 자연 산화막(도시되지 않음)을 제거하기 위하여 세정 공정을 실시한 후 개구부(104a)를 통해 노출된 V형 트렌치(도 1e의 104)의 중앙에 제1 절연막(107)을 형성한다. 이때, 제1 절연막(107)을 산화막으로 형성하는 것이 가능하며, 산화막은 습식 또는 건식 산화 방식으로 산화 공정을 실시하여 형성한다.

<35>      상기에서, 산화 공정은 산화 목표 두께를 300 내지 1000Å으로 설정하여 800 내지 950°C의 온도에서 진행한다. 이때, 개구부(104a)를 통해 노출된 V형 트렌치(도 1e의 104)의 중앙에는 산화를 촉진시키기 위한 이온 주입층(도 1e의 106)이 형성되어 있기 때문에, 산화 공정이 빠르게 진행되어 1500 내지 4000Å의 두께를 갖는 제1 절연막(107)이 형성된다.

<36> 도 1g를 참조하면, 전체 상부에 제2 절연막을 형성한 후 패드 질화막(103) 상부의 제2 절연막을 제거한다. 이때, 패드 질화막(103) 상부의 제2 절연막은 패드 질화막(103)의 연마 정지층으로 이용한 화학적 기계적 연마로 제거할 수 있다.

<37> 한편, 후속 공정에서 패드 질화막(103)이 완전히 제거된 후 반도체 기판(101)의 표면 위로 돌출되는 소자 분리막(109)의 높이는 화학적 기계적 연마를 실시한 후 잔류하는 패드 질화막(103)의 두께에 따라 결정된다. 따라서, 화학적 기계적 연마를 실시하는 과정에서 패드 질화막(103) 상부의 제2 절연막이 제거되고 패드 질화막(103)이 노출되면서 패드 질화막(103)의 상부가 과도하게 제거되면, 반도체 기판(101)의 표면보다 높게 돌출되는 소자 분리막(109)의 돌출부 높이가 낮아지게 된다. 이는, 후속 공정에서 형성될 플로팅 게이트용 폴리실리콘의 높이에도 영향을 준다. 그러므로, 이러한 소자 분리막(109)의 돌출된 상부가 낮아지지 않도록 화학적 기계적 연마 공정의 공정 조건을 제어한다.

<38> 이로써, 제1 절연막(107) 상부의 개구부(104a)에만 제2 절연막(108)이 잔류되면서, 제1 및 제2 절연막(107 및 108)으로 이루어진 소자 분리막(109)이 형성된다.

<39> 상기에서, 제2 절연막(108)은 HDP(High Density Plasma) 산화막으로 형성하며, 전체 상부에 제2 절연막을 형성할 때 트렌치(도 1e의 104)뿐만 아니라 개구부(104)가 완전히 매립되도록 2000 내지 5000 Å의 두께로 형성한다.

<40> 도 1h를 참조하면, 패드 질화막(도 1g의 103)을 제거한다. 패드 질화막은 인산( $H_3PO_4$ )을 이용하여 제거한다. 이로써, 소자 분리막(109)의 돌출부(109a)가 노출되고, 소자 형성 영역에서는 패드 산화막(102)의 표면이 노출된다.

<54> 이후, 도면에는 도시되어 있지 않지만, 실리사이드층(115) 상부에  $SiO_xNy$  또는  $Si_3N_4$ 로 이루어진 반사 방지막(도시되지 않음)을 형성한 후 콘트롤 게이트 마스크를 이용한 식각 공정으로 반사 방지막, 실리사이드층(115), 제3 폴리실리콘층(114) 및 유전체막(113)을 패터닝하여 제3 폴리실리콘층(114)과 실리사이드층(115)으로 이루어진 콘트롤 게이트(116)를 형성한다. 이후, 패터닝된 반사 방지막을 이용한 자기 정렬 식각 공정으로 제1 폴리실리콘층(112)을 패터닝하여 제1 폴리실리콘층(112)으로 이루어진 플로팅 게이트를 형성한다. 이로써, 플래시 메모리 셀이 제조된다.

#### 【발명의 효과】

<55> 본 발명은 상기에서 서술한 플래시 메모리 셀의 제조 방법을 통해 다음과 같은 효과를 얻을 수 있다.

<56> 첫째, 소자 분리막을 형성하는 과정에서 소자 분리 영역을 정의하기 위한 소자 분리 마스크 하나만이 사용되므로 공정의 난이도를 낮추고 공정 비용을 줄일 수 있다.

<57> 둘째, 트렌치의 상부 모서리를 낮은 각도의 경사각으로 형성함으로써, 후속 공정에서 형성되는 터널 산화막이나 게이트 산화막이 얇게 형성되는 것을 방지하고 모우트가 발생되는 것을 억제할 수 있다.

<58> 셋째, 소자 분리막의 돌출부로 플로팅 게이트용 폴리실리콘층을 격리시킨 후 돌출부를 제거하여 커플링 비를 증가시킴으로써 임계 치수 변화를 최소화하여 균일한 플로팅 게이트를 형성하고 커플링 비가 변하는 것을 방지할 수 있다.

<59> 넷째, 플로팅 게이트를 균일하게 형성하여 커플링 비를 균일하게 함으로써 소자의 특성을 향상시킬 수 있다.

<60> 다섯째, 패드 질화막의 두께, 소자 분리막의 돌출부의 높이 및 폭, 화학적 기계적 연마 공정의 연마 두께와 같은 공정 조건의 조절이 용이하여, 이에 따라 플로팅 게이트의 표면적 조절과 같은 공정 마진을 확보할 수 있다.

<61> 여덟째, 복잡한 공정이나 고가의 장비를 추가하지 않고도 기존의 장비와 공정으로 공정 마진을 확보하면서 0.13um급 이상의 고집적 플래시 메모리 셀을 용이하게 제조할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 터널 산화막 및 패드 질화막을 순차적으로 형성한 후 상기 반도체 기판의 소자 분리 영역을 노출시키는 개구부를 형성하는 단계;

상기 소자 분리 영역에 V형 트렌치를 형성하는 단계;

상기 개구부의 상기 패드 질화막 측벽에 절연막 스페이서를 형성하는 단계;

상기 개구부를 통해 노출되는 상기 V형 트렌치의 저면에 산화 측진을 위한 이온 주입층을 형성하는 단계;

산화 공정으로 상기 V형 트렌치에 제1 절연막을 형성하는 단계;

상기 제1 절연막 상부의 상기 개구부를 제2 절연막으로 매립하는 단계; 및

상기 패드 질화막 및 상기 패드 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 V형 트렌치의 경사각은 25 내지 45도인 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

<41> 상기의 공정을 통해, 본 발명의 소자 분리막이 형성된다. 이후, 플래시 메모리 셀을 제조할 경우 반도체 기판 상에 패드 질화막 및 패드 산화막을 제거한 후 터널 산화막, 플로팅 게이트 유전체막 및 콘트롤 게이트를 형성한다. 그 과정을 간략하게 설명하면 다음과 같다.

<42> 도 1i를 참조하면, 반도체 기판(101)의 상부에 잔류하는 패드 산화막(도 1h의 102)을 제거한 후 소자가 형성될 활성 영역의 반도체 기판(101) 상부에 750 내지 900°C의 온도에서 습식 또는 건식 산화 방식으로 50 내지 150Å의 두께를 갖는 스크린 산화막(Screen oxide; 110)을 형성한다. 스크린 산화막(110)을 형성한 후 이온 주입 공정을 통해 활성 영역의 반도체 기판(101)에 웰(도시되지 않음)을 형성하고, 트랜지스터 또는 플래시 메모리 셀과 같은 소자의 문턱 전압을 조절하기 위한 문턱 전압 조절층(도시되지 않음)을 반도체 기판(101)의 소정 깊이에 형성한다.

<43> 상기에서, 패드 산화막(도 1h의 102)은 H<sub>2</sub>O:HF가 50:1 내지 100:1의 비율로 혼합된 회석 불화수소산(DHF)과 SC-1(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) 용액을 순차적으로 이용하여 제거한다.

<44> 이때, 패드 산화막(도 1h의 102)을 제거하는 과정에서 소자 분리막(109)의 돌출부(109a)도 일정 두께만큼 식각된다. 소자 분리막(109)의 돌출부(109a)는 하부보다 상부가 넓게 형성되는데, 패드 산화막(도 1h의 102)을 제거하는 과정에서 돌출부(109a)의 상부가 하부보다 더 많이 식각되면서 상부와 하부의 폭이 비슷해진다.

<45> 도 1j를 참조하면, 스크린 산화막(도 1i의 110)을 제거하고, 전체 상부에 터널 산화막(111) 및 플로팅 게이트용 제1 폴리실리콘층(112)을 순차적으로 형성한다. 이후, 소자 분리막(109)의 돌출부(109a) 표면이 노출될 때까지 화학적 기계적 연마를 실시하여

제1 폴리실리콘층(112)을 격리시킨다. 이로써, 제1 폴리실리콘층(112)은 소자 분리막(109)에 의해 격리된다.

<46> 상기에서, 스크린 산화막(도 1i의 110)은  $H_2O:HF$ 가 50:1 내지 100:1의 비율로 혼합된 희석 불화수소산(DHF)과 SC-1( $NH_4OH/H_2O_2/H_2O$ ) 용액을 순차적으로 이용하여 제거한다.

<47> 한편, 터널 산화막(111)은 750 내지 800°C의 온도에서 습식 산화 공정으로 형성하고, 이후 900 내지 910°C의 온도에서 질소 분위기로 20 내지 30분간 어닐링을 실시하여 반도체 기판(101)과 터널 산화막(111)의 계면 결합 밀도를 최소화한다. 또한, 플로팅 게이트를 형성하기 위한 제1 폴리실리콘층(112)은 불순물이 고농도로 도핑된 폴리실리콘층으로 형성한다. 좀 더 상세하게 설명하면,  $SiH_4$  또는  $Si_2H_6$  중 어느 하나와  $PH_3$  가스를 소오스 가스로 이용하여 1.5E20 내지 3.0E20 atoms/cc의 불순물이 도핑되도록 LP-CVD(Low Pressure Chemical Vapor Deposition)법으로 형성한다. 또한, 제1 폴리실리콘층(112)은 전계가 한곳에 집중되지 않도록 그레인 사이즈가 최소화하기 위하여 580 내지 620°C의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 형성하며, 800 내지 2000Å의 두께로 형성한다.

<48> 또한, 화학적 기계적 연마 공정은 소자 분리막(109)의 돌출부(109a)를 식각 정지층으로 이용하여 제1 폴리실리콘층(112)이 돌출부(109a)에 의해 완전하게 격리될 수 있도록 실시하며, 바람직하게는 제1 폴리실리콘층(112)이 800 내지 1400Å 정도 잔류하도록 실시한다.

<49> 도 1k를 참조하면, HF 또는 BOE(Buffered Oxide Etchant)를 이용하여 제1 폴리실리콘층(112) 사이에 노출된 소자 분리막(109)의 돌출부(도 1j의 109a)를 제거한다.

이로써, 소자 분리막(109)의 돌출부(도 1j의 109a)와 접하던 플로팅 게이트용 제1 폴리 실리콘층(112)의 측면이 노출되어 플로팅 게이트의 커플링 비를 증가시킬 수 있다.

<50> 도 11을 참조하면, 전체 상부에 유전체막(113), 콘트롤 게이트용 제3 실리콘층(114) 및 실리사이드층(115)을 순차적으로 형성한다.

<51> 상기에서, 유전체막(113)은 하부 산화막( $SiO_2$ ), 실리콘 질화막( $Si_3N_4$  및 상부 산화 막( $SiO_2$ )이 순차적으로 적층된 구조인 ONO 구조로 형성할 수 있다. 또한, 실리사이드층(115)은 텅스텐 실리사이드( $WSix$ )층으로 형성할 수 있다.

<52> 이때, ONO 유전체막의 하부 및 상부 산화막은 우수한 내압과 TDDB(Time Dependent Dielectric Breakdown) 특성이 우수한 DCS( $SiH_2Cl_2$ )와  $N_2O$  가스를 소오스 가스로 사용하여 형성한 HTO(Hot Temperature Oxide)막으로 형성할 수 있으며, 실리콘 질화막은 650 내지 800°C의 온도와 1 내지 3Torr의 저압에서 DCS( $SiH_2Cl_2$ )와  $NH_3$  가스를 사용한 LP-CVD법으로 형성한다. 유전체막(113)을 ONO 구조로 형성한 후에는 막간의 계면 특성을 향상시키기 위하여 750 내지 800°C의 온도에서 습식 산화 방식으로 스팀 어닐(Steam anneal)을 실시할 수도 있으며, Si w/f(Monitoring wafer) 기준으로 산화 목표 두께가 150 내지 300Å이 되도록 실시한다.

<53> 한편, 하부 산화막, 실리콘 질화막 및 상부 산화막은 소자 특성에 부합되는 두께로 증착하되 각각의 공정을 시간 지연없이(No time delay) 진행하여 자연 산화막이나 불순 물에 의해 오염되는 것을 방지한다. 이때, 바람직하게는 하부 산화막을 35 내지 60Å의 두께로 형성하고, 실리콘 질화막을 50 내지 65Å의 두께로 형성하며, 상부 산화막을 35 내지 60Å의 두께로 형성한다.

상기 이온 주입층은 비소를 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

#### 【청구항 4】

제 3 항에 있어서,

상기 비소는 15 내지 50keV의 에너지로 주입되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

#### 【청구항 5】

제 3 항 또는 제 4 항에 있어서,

상기 비소의 주입량은  $1E14$  내지  $1E16\text{cm}^{-2}$ 인 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

#### 【청구항 6】

제 1 항에 있어서,

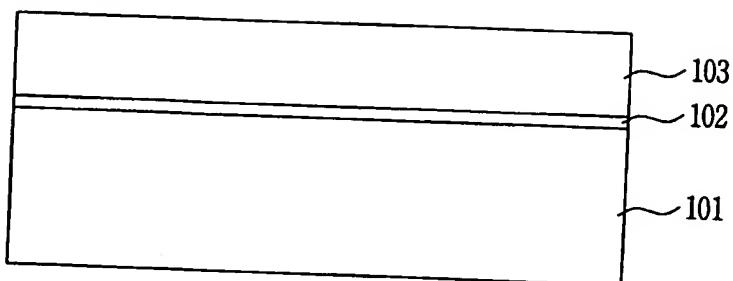
상기 산화 공정은 산화 목표 두께를 300 내지 1000Å으로 설정하여 800 내지 950°C의 온도에서 진행하며, 산화를 촉진시키기 위한 상기 이온 주입층에 의해 상기 제1 절연막은 1500 내지 4000Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

## 【청구항 7】

제 1 항에 있어서,

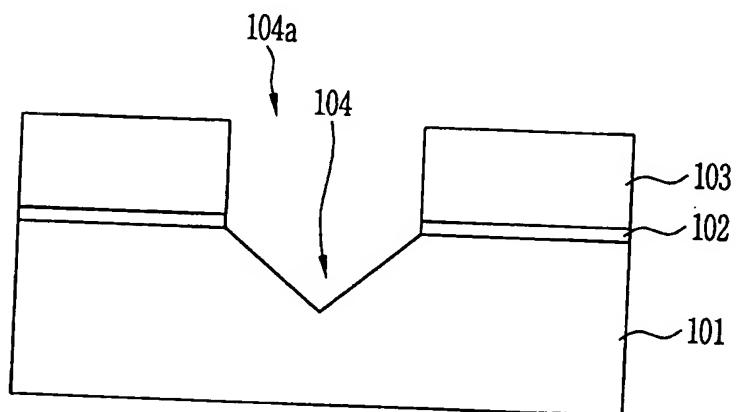
상기 제2 절연막은 HDP 산화막으로 이루어지며, 2000 내지 5000 Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【도 1a】

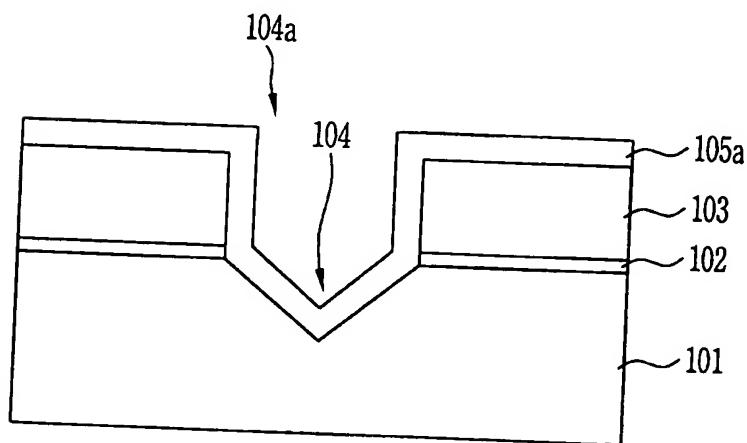


【도면】

【도 1b】



【도 1c】

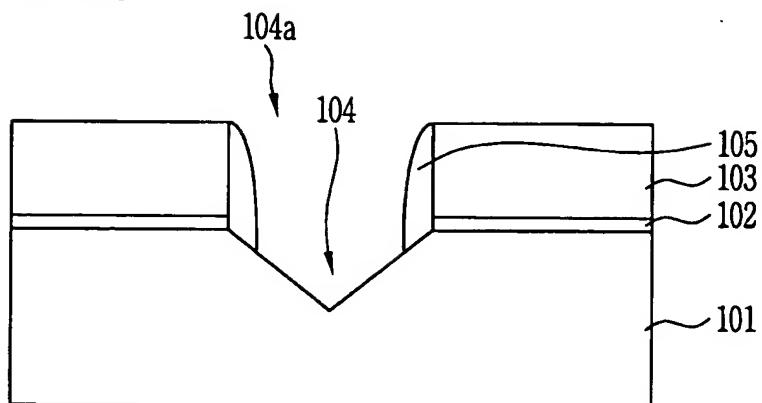




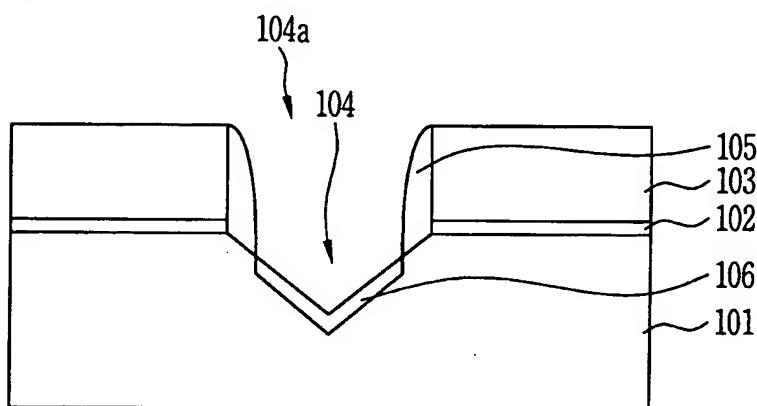
1020020038723

출력 일자: 2003/4/17

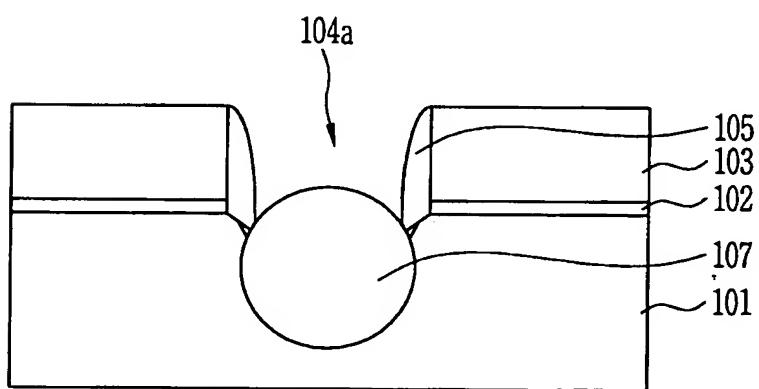
【도 1d】



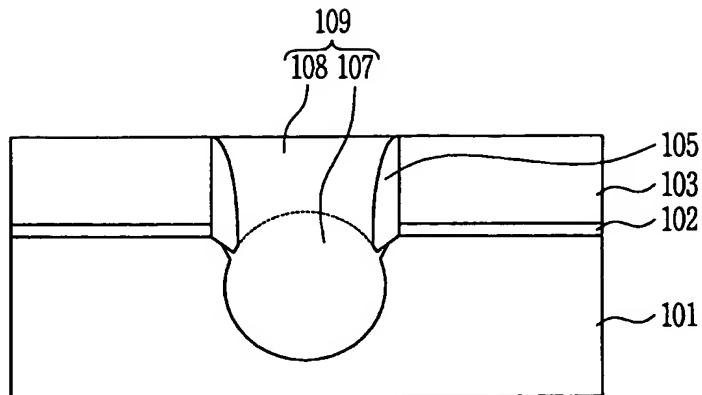
【도 1e】



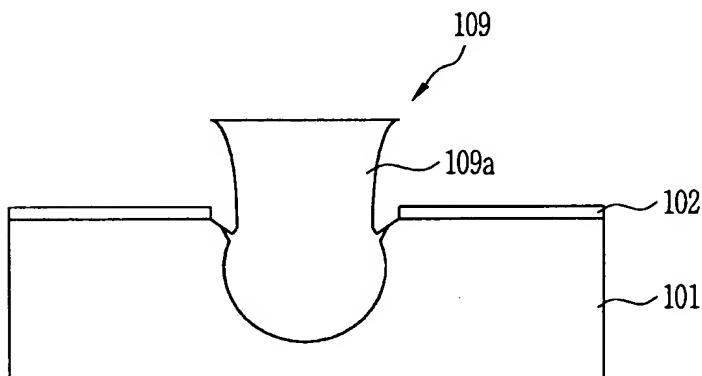
【도 1f】



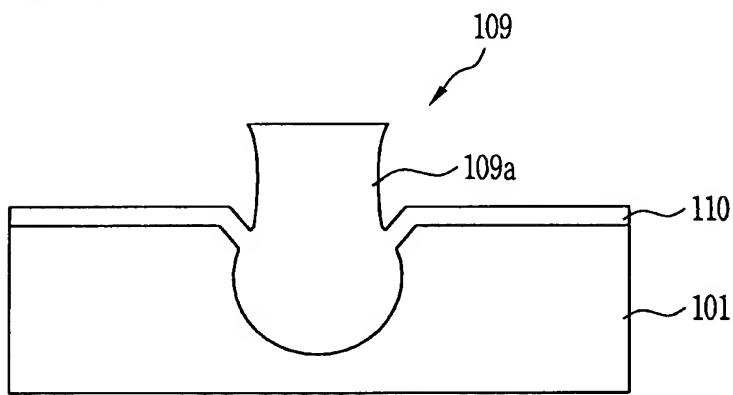
【도 1g】



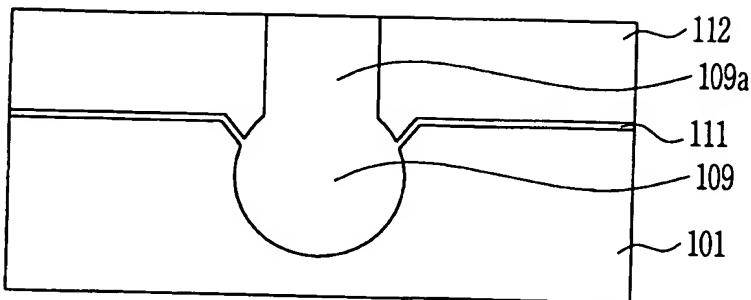
【도 1h】



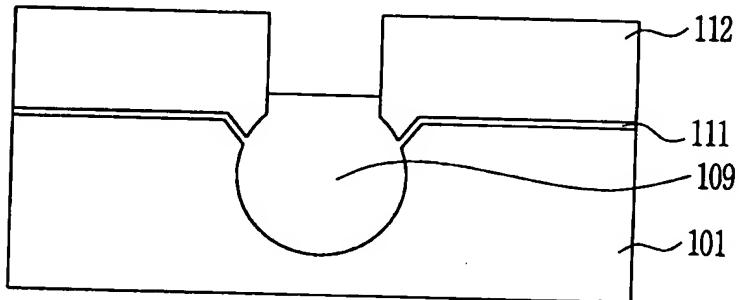
【도 1i】



【도 1j】



【도 1k】



【도 1l】

